

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭64-36336

|                        |       |           |                      |
|------------------------|-------|-----------|----------------------|
| ⑬ Int.Cl. <sup>4</sup> | 識別記号  | 庁内整理番号    | ⑭ 公開 昭和64年(1989)2月7日 |
| G 06 F 9/46            | 3 1 3 | C-7056-5B |                      |
| 9/38                   | 3 3 0 | K-7361-5B |                      |
| 審査請求 有                 |       |           | 請求項の数 1 (全14頁)       |

⑮ 発明の名称 計算機システム

⑯ 特 願 昭63-122246

⑰ 出 願 昭63(1988)5月20日

優先権主張 ⑱ 1987年7月20日 ⑲ 米国(U S) ⑳ 075483

㉑ 発 明 者 ジョン・ステイフェ アメリカ合衆国ニューヨーク州リイーンベック、トロイ・  
ン・リップタイ ドライブ1番地

㉒ 出 願 人 インターナショナル・ アメリカ合衆国10504、ニューヨーク州 アーモンク(番  
ビジネス・マシーン 地なし)  
ズ・コーポレーション

㉓ 代 理 人 弁理士 頓宮 孝一 外1名

明 細 書

1 発明の名称 計算機システム

2 特許請求の範囲

システムのアーキテクチャにより要求されるアドレス可能なレジスタの数をnとしたとき、nよりも大きなm個のハードウェア・レジスタを有するレジスタ・アレイと、

上記レジスタ・アレイに情報を送り且つ上記レジスタ・アレイから情報を受け取るように接続された、命令を実行する命令実行装置と、

命令及びデータを保持し且つ上記命令実行装置に命令及びデータを供給する記憶装置と、

上記記憶装置及び上記命令実行装置に接続され、上記記憶装置から上記命令実行装置への命令の移動を制御する命令制御装置と、

上記レジスタ・アレイに接続され、命令実行時にアドレス可能レジスタに上記ハードウェア・レジスタを割り当て、且つ順序から外れた命令の実行時には選択されたアドレス可能レジスタに付加

的なハードウェア・レジスタを割り当て、上記順序から外れた命令の前後のアドレス可能レジスタの値を保持するようにする論理装置とを有する計算機システム。

3 発明の詳細な説明

A. 産業上の利用分野

本発明は計算機の中央演算処理装置中のアドレス可能なレジスタの管理に関する。より具体的には、本発明は、順序から外れた命令を処理し且つ分岐命令及び割込み時にレジスタ内容の回復処理を行なうためのレジスタ・アレイ用の制御システム及びモニタ・システムに関する。そのようなシステムは、命令のシーケンスが終了した時にアドレス可能レジスタの新旧の内容を両方共保持する必要がある。アドレス可能レジスタは、汎用レジスタ及び浮動小数点レジスタを含み得るがそれには限定されない。本発明の実施例は、固定した数のアドレス可能レジスタの機能に役立つ複数の物理的アレイ・レジスタを有する、IBMシステム

／370のアーキテクチャに適合した計算機プロセッサに関して説明する。

## B. 従来技術

典型的な計算機システムの設計は、プログラマがその機械のためにプログラムを設計する時に使う汎用レジスタ(GPR)等の固定数のアドレス可能レジスタを設ける事を必要とする。一度システムが利用可能になると、アーキテクチャ的に利用可能なGPRの数を変更する事は、新しい数のGPRを利用するために大幅なプログラムの書き直しを必要とする。

同様に、計算機及び計算機プログラムの設計は、計算機プログラムの命令が、それらが書かれシステムに入れられた順序で計算機により実行されるという仮定に基いている。命令は、論理的には、順番に実行されたように、計算機システムに見えなければならないが、依存関係が他の命令との間に存在しないと仮定すると、ある命令は物理的に順に実行される必要はない事が、計算機の性能を

オーバーラップ動作を変更できる制御論理を実現する必要がある。オーバーラップを実施できる多くの異なつた形式が存在し、各々はそれ自身の独特の制御プログラムの組を有している。

普通の形式のオーバーラップ技術は、いわゆるパイプライン方式である。非常に単純化すると、パイプライン方式の機械は、命令の処理の異なつた段階毎に別個のハードウェアを設ける。命令が1つの段階の処理を終えると、それは次の段階に移り、次の命令が、丁度空になつたその段階に来る。そのような機械では、たとえ異なつた命令に関して異なつた処理段階が同時に起きるとしても、その処理のある特定の段階に関しては命令は順番に保持される。そのようなプロセッサにおいては、未だ生成されていない結果が他の命令で必要な事を制御部が検出すると、制御部はその結果が得られそれが必要なところに渡されるまで、パイプラインの一部を止めなければならない。この制御論理は時々複雑になりうるが、命令がパイプライン中に順番に保持されるという事実は、その複雑性

改善するための努力において判明した。さらに、ある命令が順序通りに実行されず、且つそのような命令が分岐命令であり、命令シーケンスを選択するために分岐予測が行なわれている場合、間違つた分岐が予測されたならば関連のレジスタを元の値に回復する必要が生じ得る。そのような場合、システムは分岐が起きた地点まで回復される。順序通りでない命令を効率的に実行するには、命令によつて影響を受けるGPRに関して確定した古い値が保持されると共に、影響を受けたGPRに関して新しい値を臨時に受け取る手段が設けられる必要がある。介在した命令が終了し分岐命令が解決される時、臨時性は除去され、新しい値が、確定値になる。

大型プロセッサは、複数の命令が同時に種々の実行状態にあるようなオーバーラップ技術を、多年にわたつて、用いてきた。そのような技術を用いると、命令間の依存関係を検出し且つ得られた結果が「1度に1命令」のアーキテクチャ・モデルによつて記述されるものになるように通常のオ

を制御できる範囲内に保つ上で、確かな助けになる。

プロセッサが別個の実行ユニットを含む場合には、より複雑な形のオーバーラップが生じる。より一般的でないが、この技術も公知であり、多年にわたつて使われている。異なつた命令は異なつた実行時間を有し、かつ命令間の依存性は可変なので、そのようなプロセッサにおいては、命令が実行され、プログラム中の順序とは異なつた順序で結果が生じる事は不可避である。そのようなプロセッサが論理的に正しく動作するには、パイプライン構成よりも複雑な制御機構が必要である。

しかしながら、従来技術の多重実行ユニットは、任意の時点で正確な割りこみが起きるのを許さない。例えば、命令がオーバーフロー状態を生じる時、これが検出される時まで、プログラム中の後の命令が既に実行されその結果がレジスタ又は主記憶に置かれる事がある。これにより、割り込みをかけ、以前の全ての命令が実行されその後の命令が実行されていないプロセッサの状態を保

存する事が不可能になる。この例では、オーバーフロー割り込みは、それが起きた時よりも後で実際に認識されるであろう。他の同様の状況も従来技術において存在しうる。

ある従来技術の機械の設計者は、ある実行状態の全ての命令が可能な限りその実行を終了し、次に最近に命令がオーバーフロー状態を有している事を報告する「不正な」割り込みを起こす事を可能にする事によつて、この状況処理する事を選択している。これはオーバーフローのような状態に関して割り込みを取り扱う妥当な方法である。この場合、結果はプログラマに返され、プログラマはバグを直すか又は入力データを訂正して、プログラムを最初から再度実行させる。しかし、これはページ・フォールトのような割り込みを取り扱うには許容できない方式である。この場合、システム・プログラムは何らかの訂正動作を行ない、そして割り込みの地点から実行を再開する。

米国特許第4574349号では、各GPRに付属して付加的なレジスタが設けられ、ポインタ

Bulletin、1986年8月号、991~993頁の論文は、条件付き分岐の解決の間に元のGPRの内容を保存し必要ならばシステム状態を回復するための、1対1に対応した第2のGPRのセットを示している。レジスタの状態を調整し又はレジスタの元の内容を回復するためにGPRと共に条件モード・タグが使われている。

#### C. 発明が解決しようとする課題

本発明は、計算機のプロセッサに付属するアドレス可能レジスタのためのレジスタ管理システムを提供する。このレジスタ管理システムは、命令のシーケンス外の実行のために設けられ、命令がシーケンスからはずれる場合の割り込み又は間違つた分岐予測から正確に回復するための機構を含んでいる。

値の使用によりレジスタの名前の変更が起きる。しかし、この特許は、シーケンス外の実行中の間違つて推測された分岐又は割り込みからの正確な回復の問題を解決していない。

IBM Technical Disclosure Bulletin、1981年8月号、1404~1405頁の論文は、サブルーチンの切り換え時に記憶装置を使用する事を避けるために複数のGPRセットの間で切り換えを行なうシステムを示している。またIBM Technical Disclosure Bulletin、1982年6月号、86~87頁の論文は、命令実行中にダミー・レジスタを使う事を示している。実行が終了すると、レジスタは、結果を受取るために命令によつて名付けられたレジスタとして名前を変更される。実行中、レジスタはトランスペアレントであり、これは付加的な物理的レジスタを許容する。しかし、これらの文献のいずれもシーケンス外の実行の取り扱っていない。

IBM Technical Disclosure

#### D. 課題を解決するための手段

本発明は、固定数のアドレス可能レジスタを有するアーキテクチャのプロセッサを想定している。典型的なシステムは、例えば、IBMシステム/370アーキテクチャと同形であり、下記の実施例は主としてそのアーキテクチャにおけるGPRを取り扱う。

本発明は、アーキテクチャによるレジスタの数よりも大きな数のレジスタを有するレジスタ・アレイ(RA)を提供する。実際に提供されるレジスタの数は可変であり、例えばアーキテクチャによるレジスタ数の2倍である。

計算機プログラムの命令はアーキテクチャ中のアドレス可能レジスタの使用を要求するので、RA中のレジスタは、システム/370のGPRのようなアドレス可能レジスタの機能を実行するよう割り当てられる。また命令は命令識別子(IID)数も受け取る。IIDの循環的回転を使用してもよい。またRA中の各レジスタ毎に記入項目を有するアレイ制御リスト(ACL)が設けら

れる。ACL中の各位置は、関連するレジスタに  
関するいくつかのステータス・フィールド、例え  
ばレジスタの利用可能性状態を含むフィールド、  
レジスタに与えられたIID及びレジスタに与え  
られたGPRの名前等を有している。システム・  
アーキテクチャのために、RA中のレジスタがG  
PRとして一度割り当てられると、それはプログ  
ラムにとって、同じGPR番号を有する恒久的な  
物理的レジスタと同じように見える。

またレジスタ管理システムは、RAに関連し各  
GPR毎に1つの位置を有する、デコード・レジ  
スタ割り当てリスト(DRAL)及び1つ以上の  
バックアップ・レジスタ割り当てリスト(BRAL)  
を含んでいる。DRAL中の各位置は、関連  
するGPRに割り当てられたRAの位置の番号を  
含んでいる。各命令がデコードされる時、それが  
参照するGPRがDRAL中で探索され、命令に  
より参照されたGPRに対してどのRA位置が割  
り当てられたかが決定される。GPRのための結  
果を受け取るために新しいRA位置が割り当てら

停止する。

ACL及びDRALは、命令が解釈され実行さ  
れる時に協働して働き、プログラムにより認識さ  
れる資源であるアーキテクチャ上のGPRに従つ  
てRAの内容を管理する。新しい命令が解釈され  
る時、それが参照するレジスタは、どのRA位置  
がそれに割り当てられたかを見つけるためにDR  
AL中で検索される。その後、RA位置アドレス  
がGPR名の代りに実行ユニットによつて使用さ  
れる。RAの割り当てがDRALにおいて判明し  
た後、ステータスを決定するためにACLがアク  
セスされ、その情報が実行ユニットに送られる。

命令が終了すると、そのIIDは、RA中のI  
IDと比較するために実行ユニットによりACL  
に送られる。同じIIDから結果を受け取った各  
RA位置毎に、終了ステータスを表現するように  
制御タグが変更される。

条件付き分岐に出会ると、命令は、予測された  
分岐の方向で解釈される。直ちに命令を完了する  
という要求があるので、取った分岐が解決される

れると、DRALは新しい割り当てに関して継続  
的に更新される。

プログラム実行中の正確な地点におけるDRAL  
のステータスを凍結し保存し、必要な時にその  
正確な地点までDRALを回復するために、DR  
ALに対して1つ以上のBRALが存在する。条  
件付分岐に出会ると、その地点のDRALがBR  
ALにコピーされる。もし第2の分岐に出会った  
場合、BRALが存在していれば、その地点のD  
RALが2番目のBRALにコピーされ、又それ  
が存在しなければ、それは助けられる。3番目の  
BRAL、又はそれ以上の数のBRALを、所望  
により設けてもよい。各BRALは、システムが  
処理を続行している間、特定の固定した時点のシ  
ステム・ステータスを保存するのに役立つ。設け  
られるBRALの実際の数は、同時に進行し得る、  
初期のシステム・ステータスの回復を必要とする  
可能な状況の最大数に対するシステム設計者の認  
識に基づいて与えられる。もし十分なBRALが与  
えられていないと、条件が解決されるまで実行が

前にプロセッサは、予測分岐中のどの命令に関し  
ても完了信号を出さない。必要であれば、分岐予  
測が行なわれた後で新しく割り当てられた各RA  
位置に関して、そのような割り当てが無効化され  
るように各ACL位置中の制御フィールドがセッ  
トされる。

分岐予測が間違っていた時の分岐回復技術は、  
プロセッサの全ての部分に関係する。レジスタ管  
理プロセスに関してそれが意味するものは、分岐  
点に到達した後で命令の解釈が停止した場合にG  
PRがそうであつた状態にGPRのステータスを  
回復する必要がある事である。このプロセスは、  
分岐が解釈されて以来、GPR制御ステータスに  
対して2つの型の更新が行なわれている事を認識  
する。1つの型は分岐以前の命令の、完了に向つ  
ての進行及び実際の完了を反映し、その更新の効  
果は保持されなければならない。第2の型の更新  
は、分岐後の命令の解釈及び実行を反映し、これ  
の更新はGPRのステータスから除去しなければ  
ならない。

(割り込みを除いて) D R A Lは命令が解読される時にだけ更新され、完了によつては影響されないで、D R A Lの内容は、分岐後に命令が全く解読されなかつたならば、変化していないであろう。従つて、D R A Lに関して望ましい事は、分岐命令の解読直後のステータスに、それを回復する事である。これを行なうために、もし2つ以上のB R A Lがあれば適当なB R A LをD R A Lに回復する事によつてR Aの割り当てを正しいステータスに戻す。条件付き分岐が解読される毎に、分岐解読直後のD R A Lの内容はB R A Lに移される。分岐予測が解決される時、B R A Lは廃棄されるか又はD R A Lを回復するために使われる。

割り込み制御は、割り込み地点より先の命令が完了する事を防止するために設けられる。割り込みは、その原因になつた命令の完了又は抑圧のいずれを要求する事もできる。先行する命令は、特定の割り込みによつて許される地点までに完了する事が許される。この地点で、D R A Lは、割り込みなしに進行したエントリを含んでいるので、

#### E. 実施例

本発明は、汎用レジスタのような特定の複数のアドレス可能レジスタ、例えばn個の汎用レジスタ(G P R)というアーキテクチャ上の設計要求を有する計算機システムのためのレジスタ管理システムに関する。m個のレジスタ(但しmはnよりも大きい)を有するレジスタ・アレイ(R A)が、n個の汎用レジスタの機能を実現するために設けられる。説明のための実施例として、16個のG P Rを有する周知のI B Mシステム/370アーキテクチャに従うシステムについて説明する。本発明によるR Aは、アーキテクチャ上のレジスタの機能を実現するために、R A位置の動的な割り当てを行なう。具体的レジスタ割り当ての機能が終了すると、R A中の位置が解放され、同じ又は他のアーキテクチャのG P Rとして再割り当て可能になる。

本発明のレジスタ管理システムは、全体的な計算機アーキテクチャに依存せず、種々の環境で実

現状に合わない、又は不適切な状態にある。しかし、A C Lは、割り当てられた状態の全てのR A位置に関する正しい情報を含んでいる。A C Lの位置は、キャンセルされ、割り込みを越える命令に関して利用可能なステータスに戻される。次にA C Lは、割り込みから回復するためにD R A Lに現在のステータス値を与えるために使われる。

要約すると、本発明のレジスタ管理システムは、順序外の命令及び分岐命令を、R A及び2重機能制御システムを用いて取り扱う。制御システムの第1の部分、D R A Lはアーキテクチャ上のG P Rの視点から命令を管理する。制御システムの第2の部分、A C Lはレジスタ・アレイの実際の内容を管理する。これにより、命令がシーケンス外に実行されても、分岐条件又は割り込みが回復できる。

施できる。例えば、第1A図及び第1B図に示す計算機システム10は、キャッシュ・メモリ・システム14の接続された主記憶12を有する。キャッシュ・メモリ・システム14は、多くの許容可能な方式で構成できるが、この例では、各々命令及びデータを別々に扱う命令キャッシュ16及びデータ・キャッシュ18から構成されている。カスケード構成においてメモリ・スピードとメモリ・サイズの利点を両方共提供するために2レベル以上のキャッシュ・メモリを設ける事はメモリ設計の分野で公知であり、ここに示されていないが、そのようなメモリ設計も本発明に適合する。

命令は、命令キャッシュ16から命令バッファ・ユニット20を経由して命令レジスタ・ユニット22へ伝達される。説明のため、命令レジスタ・ユニット22は2個以上の独立した命令レジスタを有し、2、3又は4がそのような命令レジスタの望ましい数である。

計算機設計の分野において、システムが2以上の汎用実行ユニットを持つ事は公知である。例え

ば、汎用ユニットは、実行される機能の型の系列に沿つて、算術又は論理演算、スカラー又はベクトル、スカラー又は浮動小数点、等と設計し得る。汎用実行ユニットのどのような構成も汎用レジスタを利用するので、本発明は計算機中の汎用実行ユニットの数、機能構成及び設計の多くの変型に適用可能である。

説明のため、このシステムは汎用実行ユニット(GPE)1及び2(各々参照番号24、26)を有するものとする。汎用実行ユニット24は出力が記憶バッファ・ユニット28に接続され、これはさらにデータ・キャッシュ18に出力が接続される。汎用実行ユニット24は、実際には、単一の実行ユニットでも又ユニットの組み合わせでもよく、この実施例に示されているように、ユニット24は記憶バッファ28に行く結果を生成する。その結果は、命令が完了するまでそこで保持され、次にメモリに記憶される。汎用実行ユニット26は、出力が、汎用レジスタ・アレイ(RA)30に接続される。GPE26は、即座に記憶される

RMS32は、命令の発行から実行まで追跡するため並びに入力オペランド及び出力オペランドのためのレジスタ割り当てのために、命令レジスタ・ユニット22並びにGPE24及び26に接続される。

この実施例の計算機は、命令レジスタ・ユニット22から命令を受け取るように接続され、命令アドレス計算部(I-ACE)52に出力を与えるキュー50を有する。I-ACE52はRA30から直接入力を受け取るようにも接続され、また命令キャッシュ18に接続された出力を有する。命令キュー50はステータス情報を与えるためにRMS32に接続される。

この実施例の計算機は命令レジスタ・ユニット22からの出力を受け取るように接続されたアドレス・キュー60を有する。アドレス・キュー60の出力は、データ・アドレス計算部(D-ACE)に入力として接続される。D-ACE62への他の入力にはRA30からのものである。D-ACE62はステータス情報を与えるためにRMS

ではなくレジスタで利用可能になる必要のある結果を生成する命令により動作する。命令レジスタ・ユニット22から命令を受け取りそれらをGPE24又は26に適当に振りむけるために命令スタック又はキュー31が設けられる。複数の種々の型の実行ユニットを、単一のレジスタ・アレイ及びレジスタ管理システムと共に用いてもよい。

RA30は、この実施例のアーキテクチャにより認識される16個のGPRの機能を実施するために32個の動的に割り当てられる実レジスタを有する。

RA30は制御バス34を経由してレジスタ管理システム(RMS)32により制御され、且つそれにステータス情報を与える。RMS32は、種々の型のステータス情報を受け取り且つ与えるために種々の他のシステムに接続されている。割り込み制御部36は、割り込みを適切に処理し必要なステータス情報を保存するために、命令レジスタ22、RMS32、及びRA30に接続されている。

32に接続される。

D-ACE62の出力はアドレス取り出しキュー64に接続され、これはさらに第1の出力がデータ・キャッシュ18への入力として、及び第2の出力がアドレス記憶キュー66への入力として接続されている。アドレス記憶キューは、出力がデータ・キャッシュ18に接続され、且つステータス情報を与えるためにRMS32に接続を有している。

この実施例の計算機は、浮動小数点演算ユニット70を有し、これもステータス情報を与えるためにRMS32に接続されている。RMS32は、RA30に関係付けられないレジスタ及びユニットと共に動作できる事に注意されたい。例えば、1つのRMSは2以上のレジスタ・アレイと共に動作し得る。より具体的には、1つのRMSは、同じ又は異なる型の複数の実行ユニットに接続された2個のRAを制御し得る。

浮動小数点ユニット(FPU)70への入力は、浮動小数点命令キュー72及び浮動小数点データ

・レジスタ・ユニット74によつて与えられる。浮動小数点命令キュー72はI-REG22から入力を受け取る。浮動小数点データ・レジスタ・ユニット74はFPU70及びデータ・キャッシュユ18から入力を受け取る。浮動小数点ユニット70の出力は、記憶バッファ・ユニットに接続され、これはさらにデータ・キャッシュユ18に接続されている。

第2図を参照すると、レジスタ管理システム32の詳細な構造が示されている。デコード・レジスタ割り当てリスト(DRAL)100が、ステータス及び制御信号線に接続される。また論理ユニット101がDRALの内容をモニタし制御するためにステータス及び制御信号線に接続されている。DRALは命令が解釈され、GPR代入がRA代入に翻訳される時に使われる。DRALは、いくつかの異なる方式で構成できる。例えば、各DRALに複数コピーを有する2個以上のDRALが存在し、それが各GPR毎に一つの位置を含み、その位置が、そのGPRに関して値を受け

取るように最も最近割り当てられたRA位置の数を合んでいる。各命令が解釈される時、それが参照するGPRがDRAL中で検索され、どのRA位置がそのGPRに割り当てられたかが決定される。また、新しいRA位置が結果を受け取るように割り当てられる時、それらの割り当てを反映するようにDRALが更新される。このようにして、GPRを使用する各命令が、そのGPRを最も最近に参照した命令に割り当てられたRA位置を見出すようにDRALによつて指示される。

バックアップ・レジスタ割り当てリスト102、104、及び106は、動作のある特定の時点ではDRAL100の内容全体を受け取るように接続される。通常、各DRALに対応してシステム中に少なくとも一つのDRALが存在する。もしシステムが分岐の解決を待機する事が許されるならば、レジスタ管理システムはBRALなしに動作しうる。一つ、二つ又は、三つのBRALを使用すると、それぞれ待機なしに一つ、二つ又は、三つの条件付分岐を処理する事が可能になる。BR

ALはDRALと同じ構造を有し、1サイクルでDRALの全内容がBRALにコピーできまた逆も可能なように接続されている。これらの転送は、論理ユニット101によつて制御されている。それは、例えば、分岐が起きる方向に関する予測が間違っている場合にDRALの内容を保存するために、条件付分岐に合致する時に使用される。

各DRAL毎に1つだけのBRALが設けられている場合、通常、1つだけの条件付分岐を過ぎて解釈を行なう事が可能でない。しかし、GPRを変更する命令が間に介在する事なく第2の条件付き分岐命令に出会うという特別な場合には、その分岐命令も過ぎて解釈する事が可能になる。というのは同じDRAL内容が両方の分岐に関してBRAL中に保存されるからである。

サポートする各RA毎に、そのRAに関するステータス情報を記憶するACLレジスタが存在する。アレイの各レジスタ位置毎に1つのエントリが存在し、この実施例では、各エントリは第3図及び第4図に示すように、CTL、ABC、IID、PRV及びREGの5つのフィールドに分割された14ビットから構成される。CTLはRA位置の全体的ステータスを定義する制御フィールドである。それは下記の値を取り得る。

00: 利用可能—そのRA位置は使用中ではなく、必要であれば割り当てる事が可能である。CTL='00'の時、ABC、IID、PRV及びREGのフィールドは何の意味も持たない。

01: 割り当て済—このRA位置はREGフィールドにより指定されたGPRに割り当てられている。完了した現在の命令に割り込みが起きると、これはそのGPRに対応するRA位置である。任意の与えられた瞬間には、各GPRに対して1つだ

けのRA位置が割り当てられている。CTL = '01'の時、ABCフィールドは'000'であり、IID及びPRVフィールドは意味を持たない。

- 10: 係属中且つ未ロード—このRA位置は、まだ実行が完了していない命令の結果を受け取るように割り当てられているが、これまで命令の結果をこのRA位置にロードしていない。IIDフィールドは、このRA位置が結果を受け取る命令に割り当てられたIIDである。ABCフィールドは、この命令が条件付きで発行されていれば非ゼロであり、さもなければ'000'である。多くの場合、REGフィールドは、このRA位置が結果を受け取るGPRの番号であり、PRVフィールドは、そのGPRの古い値を保持するRA位置の番号である。GPRを変化させない比較命令という特殊な場合は、RA位置にはとにかく割り当てが行なわ

設けた。

3つまでの条件付き分岐に会ってもよいように3つのBRALが設けられているこの実施例の場合、ABCフィールドは3ビットを有し、これは最初'000'にセットされる。最初の分岐に会おうと、第1のBRALにDRAIの内容がロードされ、ABCフィールドは、BRALのロード及び未解決の分岐の存在を示すために'100'に変更される。第1の分岐が解決される以前に第2の分岐に会おうと、第2のBRALにその時点のDRAIの内容がロードされ、ABCフィールドは'110'に変更される。最後に、最初の2つの分岐が未解決で且つ第3の分岐に会おうと、第3のBRALが、その時点のDRAI内容を受け取り、ABCフィールドは'111'になる。ABCフィールド中の各ビットは、BRALが活性であり、未解決の分岐に関する特定のDRAI内容を記憶している事を示すために独立に特定のBRALに關係付けられている。論理ユニット101はこれらの機能を制御する。

れ、REGフィールドは無関係であり、PRVフィールドはこのRA位置の番号を含む。

- 11: 係属中且つロード済—このRA位置は、まだ実行が完了していない命令の結果を受け取るように割り当てられているが、その結果を受け取っている。ABC、IID、PRV及びREGのフィールドは、CTL = '10'の時と同じ意味を有する。但しこの状態では比較命令に関する特殊な場合は起きない。

ABCフィールドは、条件付き分岐を過ぎて解決された命令に關係するRA位置を識別するために使われる。この情報はIIDを調べる事により決定できるので、本発明を実施するためにそのようなフィールドは必ずしも必要ではない。しかし、IIDをテストする事により定期的にそれを決定するよりも、この少量の情報を記憶するために専用のフィールドを設ける方が、より経済的且つ高速であるので、この実施例ではこのフィールドを

もし分岐が好ましい方向で解決されると、割り当てられたBRAL内容は不必要であり、ABCフィールドの適当なビットが0にセットされる。以前の例を参照すると、分岐は必ずしも生じた順に解決される必要はない。もし第1の分岐が起き(ABC = '100')そして次に第2の分岐が起き(ABC = '110')たとしても、第2の分岐が最初に解決され、ABCフィールドが単に'100'にリセットされてもよい。もし最初の例のように、3つの分岐が順に起き(ABC = '111')、そして第2の分岐が最初に解決されると、第2のBRALが利用可能になり、ABCフィールドは'101'にセットされる。さらに、これは、他の分岐に会った場合に1つのBRALが利用可能である事を意味する。ABCフィールド中のビットは、分岐の発生及び解決に対応して任意の順序でセット及びリセットできる。例えば、ABCフィールドが'101'であれば、新しい分岐に会ってBビットがセットされ、ABCフィールドが(これは分岐の発生した順序を



表していないが) '111' になる事もある。

命令が解読される時、それが参照するGPRはDRA L中で検索され、どのRA位置がそれに割当てられているかが見出される。これは、使用されているGPR及び変更されたGPRの両者を含む。もし命令がGPRの値を変化させると、新しい値を受け取るようにRA位置が割当てられ、これらの新しいRA位置がこれらのGPRに関連付けられるようにDRA Lが更新される。次に、RA位置の割当ては、GPRの実際の割当てではなく実行論理ユニットに伝達される。

プロセッサが二つの命令を同時に解読する能力を有していると仮定すると、DRA Lは、それらの各々に関して、R1、R1+1、X及びBレジスタ(IBMシステム/370の命令形式を参照されたい)を検索する能力を提供する。一般にアーキテクチャを参照すると、命令は、必要なメモリ・アクセスを行なうために、インデックス値及びベース値を求めてGPRを要求する事がある。これは多くの命令に関して適切であるが、適切で

と、それは「係属中且つ未ロード」状態(CTL='10')にセットされ、Iフィールドは割り当てが行なわれた命令のIIDにセットされ、REGフィールドはGPRの番号にセットされ、PRVフィールドはそのレジスタに以前に割り当てられていたRA位置の番号(DRA L中で検索する事により決定される)にセットされる。但し比較命令の場合は、PRVフィールドは、ちょうど割り当てられたこのRA位置を指すようにセットされる。比較命令にRA位置を割り当てる理由及びこの動作方式の理由は、後述する。

RAに関するこの制御構造は、命令の解読にある条件を課す。

1. DRA L中でレジスタを検索する機能は多数の命令の要求を満足するが、異なつた要求を有するものが存在する。これらの命令は解読に2サイクル以上を要する。システム/370のアーキテクチャにおけるそのような命令の部分的なリストは、MVCL、CLCL、AXR、SXR、LM、STM、EDMK及びTRTである。

ない場合、解読に複数サイクルが必要である。システム/370のアーキテクチャにおいて、複数ロード命令は16個までのGPRを参照できる。各GPRがDRA L中で検索された後、そのようにして見つけれられたRA位置が、そのRA位置がロードされたか否かを判定するためにACL中で検索され、この情報が命令と共に実行ユニットに送られる。RA位置は、「割り当て済」又は「係属中且つロード済」の状態(CTL='X1')であれば、ロード済と考えられる。

プロセッサは、各サイクル毎に少なくとも2つの新しいRA位置を割り当てる能力を提供する。例えば、GPRを、GPRの各群毎に別個のRAを有する1つは偶及び1つは奇の2つの群から構成してもよい。この時、各サイクルに、2つのRAに対応するGPRの各群から2つ、4つのGPRを割り当てる事ができる。これを行なう回路は、ACL中のCTLフィールドを調査し、「利用可能」状態(CTL='00')にある最初のRA位置を選択する。もしRA位置が割り当てられる

2. 1サイクル当り2つ以上のRA位置をレジスタの各組に割り当てる能力はある状況では重要である。複数の偶/奇汎用レジスタ対又は2以上の浮動小数点レジスタを変更できる、370アーキテクチャの命令の部分的なリストは、MVCL、CLCL、AXR、SXR及びLMである。これらの命令は、1サイクルに充分なRA位置が割り当てられなければ、1サイクルで解読できない。個々の命令の問題を越えて、これは、どの命令が同時に解読可能かという事に対して条件を与える。同じ組の中で余りに多くのレジスタを変更する2つの命令は同時に解読する事ができない。

3. DRA Lが正しく動作するために、解読時にレジスタ位置が検索される時、そのレジスタを変更した最も最近の先行命令の結果を受け取るように割り当てられたRA位置に関する番号をDRA Lが含んでいる事が必要である。これは、その命令が直前の先行命令であつてプロセッサが同時に両方の命令を解読しようとしているのでなければ、何の問題もない。この状況を取り扱うために、あ

る命令がレジスタを変更し且つ後続の命令がそのレジスタを参照する時は、必ず、2番目の命令は最初の命令と同時に解読される事を許されない。

各命令が完了すると、そのIIDがACLに送られる。この命令からの結果をどのRA位置が受け取ったかを判定するために、論理ユニット101によつてACL中の全てのIIDフィールドに対して比較が行なわれる。次に、このようにして同定されたRA位置の各々に関して、その状態を「係属中且つロード済」から「割り当て済」に変更する(CTLを'11'から'10'へ変更する)信号が作られる。また、これらのRA位置の各々に関して、どのRA位置が利用可能とされる必要があるかを決定するためにPRVフィールドが調査される。PRVフィールドによつて指示されるRA位置毎に、その状態を「割り当て済」から「利用可能」へ(CTLを'01'から'00'へ)変更する信号が発生する。

これらの機能を実行する全ての論理は並列に動作する。例えば、1サイクルで、完了した命令に

値を受け取るように選択された全ての新しいRA位置はABCフィールドが、その分岐に割り当てられたBRA Lに関するエントリにおいて'1'にセットされる。後に、分岐の方向が確定した時に、その分岐後の全ての命令の処理を取り消して他の方向で命令の処理を開始する必要があるかもしれない。

実際には、どの型の分岐も全て条件付きとして扱われる。というのは分岐命令のターゲット・アドレスを識別するために分岐履歴テーブル(BHT)が共通に使用されるからである。BHT中のターゲット・アドレスの位置は、少なくとも正しいターゲット・アドレスが決定されるまで、命令を条件付きにする。BHTが最初にターゲット・アドレスを識別する時、ターゲット・アドレスが正しい事は後まで明らかでない。ターゲット・アドレスの正しさが解決される時、分岐の条件付き状態が除かれる。

失敗した分岐からの分岐の回復はプロセッサの全ての部分が関与する。レジスタ管理システムに

関する古いレジスタ値を含む全てのRA位置が利用可能状態に変更され、新しい値を含む全てのRA位置が、割り当て済み状態に変更される。命令の正規の完了は、DRA Lに対して何の影響も持たない。

理論的には、命令自体を調べる事によつて分岐が起きるか否かを知る事ができない場合、その分岐は条件付き分岐と考えられる。このカテゴリーに属する370の分岐命令は、BC( $M \neq 0$ 又は $F$ 及び $R2 \neq 0$ )、BCT、BCTR( $R2 \neq 0$ )、BXLE及びBXHである。これらの分岐命令の1つが解読されると、I要素は、分岐が行なわれると予測すべきか又は行なわれないものと予測すべきかの判定を行なう。次に、それは解読に進み、予測された方向で命令を実行する。一方プロセッサは分岐が実際にその方向に進むか否かを決定する。プロセッサが出来ない唯一の事は、これらの命令を完了する事である。というのは、それらは論理的に分岐に続いており、分岐が完了するまで完了できないからである。この期間中、レジスタ

に関してそれが意味するものは、命令解読が分岐の後で停止した場合の状態にGPRの状態を回復する必要がある事である。分岐命令が解読されてからの中間の時期には、レジスタ制御状態に対して2つの型の更新が行なわれる。1つの型は、分岐以前の命令の実行へ向つての進行及び実際の完了を反映する。この更新の効果は保存されなければならない。第2の型の更新は、分岐後の命令の解読及び実行を反映する。この更新は、無効又は無意味であるとしてGPRの状態から取り除かなければならない。

通常、DRA Lは命令が解読される時にしか更新されず、その完了によつては影響を受けない。従つて、DRA Lの内容は、分岐後に命令が解読されなければ変更されない。割込みの状況は異なっており、別に説明する。従つて、DRA Lに関して望ましい事は、分岐命令の直後の状態にそれを回復する事である。これはBRA Lを使用する事によつて達成される。条件付分岐命令が解読される毎に、分岐命令解読直後のDRA Lの内容が

B R A Lに移され、同時にA B Cフィールドの適当なビットが「1」にセットされる。それは、分岐に関する予測が正しかつたか又は間違っていたかが決定されるまでそこに保持され、そして廃棄されるか又はD R A Lに回復される。

間違つた条件付き分岐の後では、A C Lを正しい状態に回復する事が必要である。条件付き分岐が解説された後に行なわれた全てのA C Lエントリは、A B Cフィールドが、その特定の分岐に関するB R A Lのために使われる特定のビット位置において「1」にセットされる。これらのエントリは全て、条件付分岐が解説された時に「利用可能」状態であつたか又は、その後、何らかの初期の命令の完了によつて「利用可能」状態に置かれたR A位置にであつて、条件付分岐後に何らかの命令により再利用のために取り出されたR A位置に関するものである。これらのR A位置のどれも、「係属中」状態の1つを越えて進行する事はできない。というのは条件付分岐以後の命令はどれも完了できないからである。条件付分岐以後、全く

命令が解説されていなければ、これらのR A位置の全ては「利用可能」状態にあり、それはそれらが戻されるべきものである。

特定の分岐に関してA B Cフィールドが「0」にセットされたR A位置は、「割り当て済」状態にあるR A位置の組及び、条件付き分岐に先行する係属中の命令に関連するそれらを含んでいる。分岐以後に解説が行なわれなければ、これらのエントリは同じ状態のままであり、従つてそのままにされるべきである。従つて、間違つて予測された条件付分岐の後A C Lを正しい状態に回復する手続きは、分岐に関する特定のビット位置においてA B C = 「1」であるような全てのA C Lエントリを「利用可能」状態(C T L = 「0 0」)にセットする事である。もし条件付分岐が正しく予測された事が判明すれば、A C L中の全てのA B Cビットはその分岐に関する特定のビット位置が「0」にセットされる。

分岐は、解説時にそれが起きる事が観察により決定できるならば、無条件であると考えられる。

無条件分岐命令は、命令処理がどのように進行すべきかについて何の不確定性も生じず、従つてレジスタ管理システムはそれに対して何の注意も払わない。B A L及びB A L Rはこのカテゴリーに属するシステム/370の命令であり、且つG P Rを変更する。従つて、それらはレジスタを変更する他の命令と同様に扱われる。B H Tを有する機械において、このカテゴリーの命令は存在しないかもしれない。

割り込みは他の状態とは少し違つたふりを取り扱う必要がある。割り込み条件が検出されるとすぐに、割り込み制御部36に信号が送られる。このシステムは、命令完了制御部と通信して、割り込み地点以後の命令が完了する事を阻止する。割り込みの地点は、その原因になつた命令の直前又は直後である。これは割り込みの型が命令の抑圧を要求するか又は完了を要求するかに依存する。割り込み地点に先行する命令は完了する事を許される。その地点において、D R A Lの内容は、割り込みの原因になつた命令以後のいくつかの命令

が実行された場合に取られたであろう動作を反映する。

A C Lは、「割り当て済み」状態にある全てのR A位置が、割り当てられたG P Rに関する正しい値を含んでいるものであるような状態にある。さらに、A C Lは、「係属中」状態の1つにあるR A位置の数を有していてもよい。これらは全て割り込み地点以後の命令に関連しており、次のステップはこれらのR A位置の全てが「利用可能」状態に戻される(もしC T L = 「1 X」ならばそれは「0 0」にセットされる)事である。A C Lは正しい状態にセットされ、そしてD R A Lを対応する状態にする必要がある。

D R A Lは、O P Rアドレスの各々を経てカウンタを進捗する事によつて数サイクルの期間にわたつてセットされる。各サイクル毎に新しい値を経てそれが歩進する時、その値はA C Lエントリの各々と比較される。この機能は論理ユニット101によつて達成できる。もしR E Gフィールドがカウンタ中の値に一致し且つR A位置が「割り

当て済」状態(CTL='01')であれば、比較一致が検出される。各GPRに対して正確に1つのRA位置が割り当てられなければならないので、この比較プロセスは各サイクル毎に正確に1つのRA位置に対して比較一致を発生しなければならない。これらの比較の結果はRA位置の番号を発生するように符号化され、これらのRA位置の番号はDRALに送られ、順々にDRALエントリに格込まれる。このプロセスの繰り返、DRALエントリの各々は、そのエントリが各々対応するGPRに割り当てられたRA位置を指示する。これはDRALに関する正しい状態である。

DRALをその正しい状態に回復するプロセスは、割り込みプロセスに余分の時間を付加しないようにプログラム・ステータス・ワード(PSW)の交換のプロセス中に実行する事ができる。

#### F. 発明の効果

本発明を用いれば、条件付き分岐や割り込み等の、通常の処理順序から外れた命令の処理を効率的に行なう事ができる。

#### 4. 図明の簡単な説明

第1A図及び第1B図は本発明による計算機システムの実施例の概略図。

第2図は第1A図及び第1B図に示した実施例の中のレジスタ管理システムの図。

第3図は第2図の中のアレイ制御リスト(ACL)の図。

第4図は第3図に示したACLのエントリのフィールド構成を示す図である。

出願人 インターナショナル・ビジネス・マシーンス・コーポレーション

代理人 弁理士 頃 官 孝 一  
(外1名)

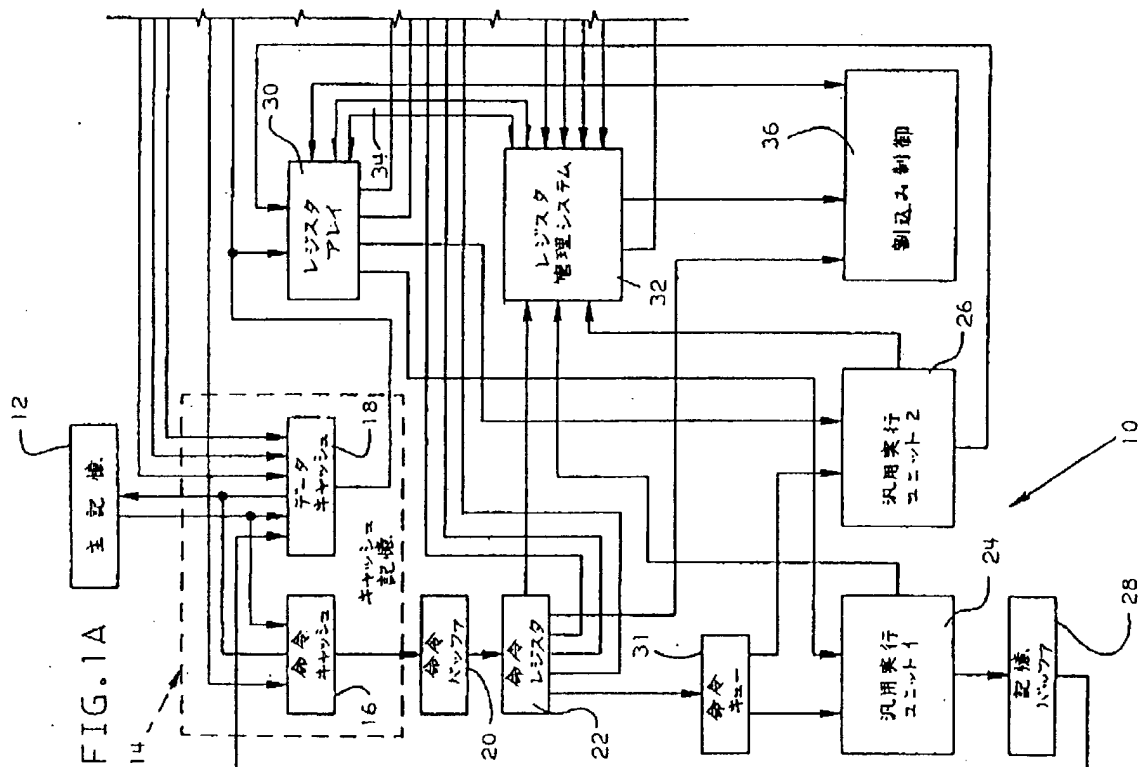


FIG.1B

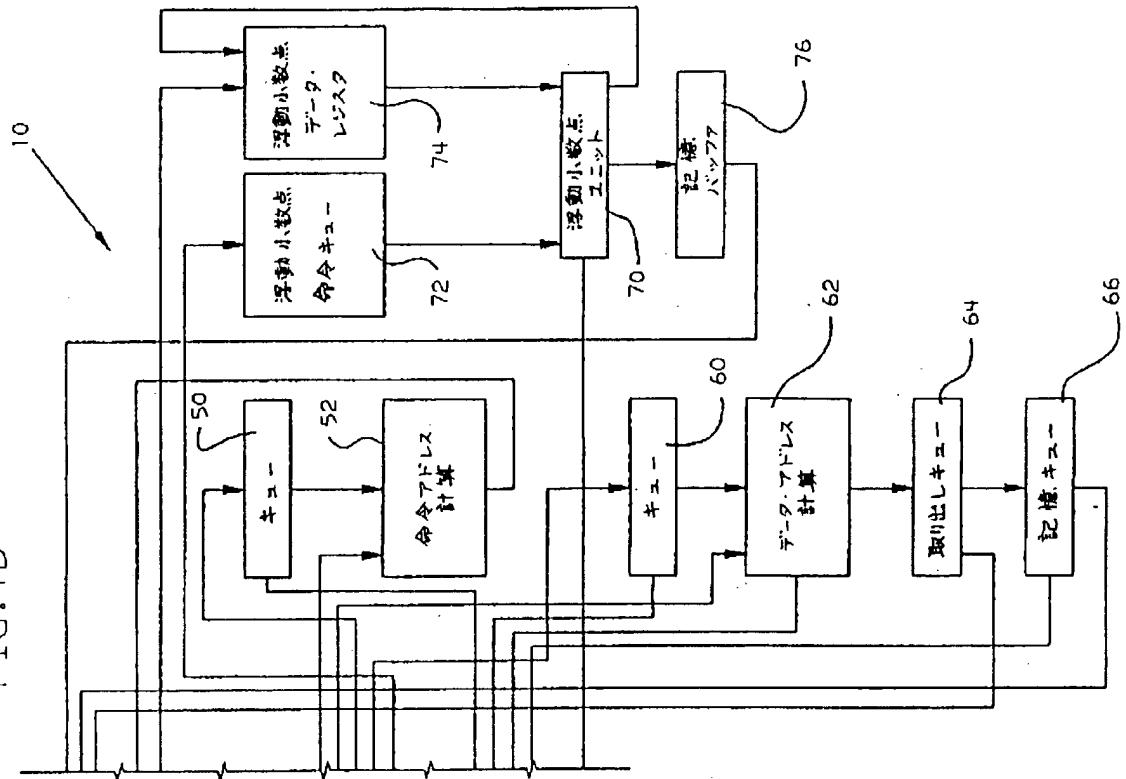


FIG.2

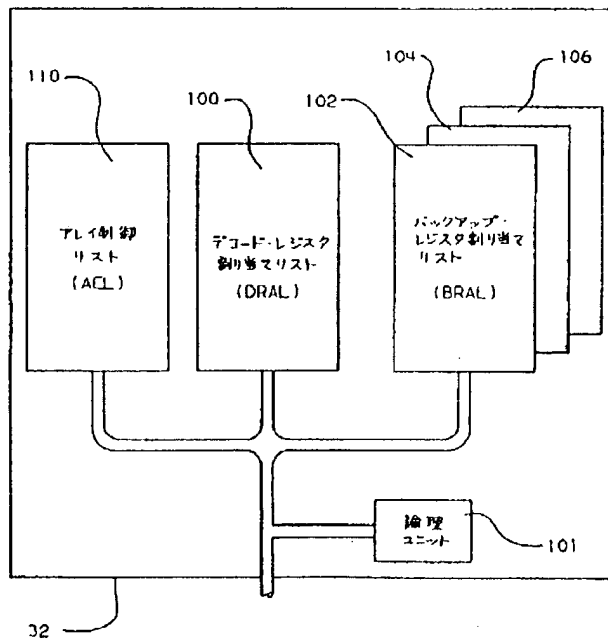


FIG.4

|     |     |     |     |     |
|-----|-----|-----|-----|-----|
| CTL | ABC | IID | PRV | REG |
| 0   | 2   | 5   | 10  | 14  |
|     |     |     |     | 18  |

FIG.3

